

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶ (11) 공개번호 특 1999-023676
G09G 3/28 (43) 공개일자 1999년03월25일

(21) 출원번호 특 1998-033452
(22) 출원일자 1998년08월18일
(30) 우선권주장 97-221297 1997년08월18일 일본(JP)
(71) 출원인 닛뽕덴끼 가부시끼가이샤 가네꼬 히사시
일본 도오교도 미나토꾸 시바 5초메 7방 1고
(72) 발명자 이세끼 고끼
일본 도오교도 미나토꾸 시바 5초메 7방 1고 닛뽕덴끼 가부시끼가이샤 나이
(74) 대리인 박해선, 조영원

심사청구 : 있음

(54) 조립시 오프셋 마진이 큰 플라즈마 표시 패널 및 그에 이용되는 제어 방법

요약

메모리형 교류 전류 플라즈마 표시 패널은 스페이서벽 (35) 의 양측부상에 2 개의 픽셀 블록 (31a/31b) 을 가지며, 2 개의 픽셀 블록을 위해 주사 전극 / 유지 전극 쌍 (Sc1 내지 Scj 및 Su1 내지 Suj) 은 연관된 주사 전극 (Scj/2 / Scj/2+1) 보다 스페이서벽 (35) 에 더 인접한 최내부 유지 전극 (Su1/2 / Suj/2+1) 을 각각 갖기 때문에 패널 구조체를 조립하는 동안 오프셋 마진이 증가한다.

도표도

도 13

명세서

도면의 간단한 설명

- 도 1 은 종래 메모리형 교류 전류 플라즈마 표시 패널에 일체된 픽셀의 구조체를 나타낸 단면도.
- 도 2 는 종래 메모리형 교류 전류 플라즈마 표시 패널에서의 픽셀과 전극의 배치를 나타낸 평면도.
- 도 3 은 종래 메모리형 교류 전류 플라즈마 표시 패널에 인가된 표준 제어 순서를 나타낸 타이밍 차트.
- 도 4 는 서브 필드 동안 전극상의 전위 레벨의 변화를 나타낸 도면.
- 도 5 는 Uchidoi 등에 의해서 제안된 종래 메모리형 교류 전류 플라즈마 표시 패널에 일체된 픽셀과 전극의 배치를 나타낸 평면도.
- 도 6 은 서브 필드 동안 전극 상의 전위 레벨의 변화를 나타낸 도면.
- 도 7 은 Uchidoi 등에 의해서 제안된 종래 제어 순서를 나타낸 타이밍 차트.
- 도 8 은 Uchidoi 에 의해서 제안된 종래 메모리형 교류 전류 플라즈마 표시 패널에 일체된 픽셀의 데이터 전극과 주사 전극 사이의 상대적인 위치를 나타낸 평면도.
- 도 9 는 데이터 전극의 위치에서의 방전 동안 최소 전위의 변화를 나타낸 그래프.
- 도 10a 내지 10d 는 상이한 오프셋 하에서 주사 전극과 데이터 전극 사이의 상대적인 위치를 나타낸 평면도.
- 도 11 은 본 발명에 따른 메모리형 교류 전류 플라즈마 표시 패널의 배치를 나타낸 평면도.
- 도 12 는 메모리형 교류 전류 플라즈마 표시 패널에 일체된 픽셀 어레이의 구조체를 나타낸 단면도.
- 도 13 은 2 개의 픽셀 블록의 경계 주변에 있는 전극의 배치를 나타낸 평면도.
- 도 14a 내지 14d 는 상이한 오프셋 하에서 주사 전극과 데이터 전극 사이의 상대적인 위치를 나타낸 평면도.
- 도 15 는 메모리형 교류 전류 플라즈마 표시 패널을 위한 제어 순서를 나타낸 타이밍 차트.
- 도 16 은 각 서브 필드에서 펄스 신호의 파형을 나타낸 도면.
- 도 17 은 본 발명에 따른 메모리형 교류 전류 플라즈마 표시 패널을 위한 다른 제어 순서를 나타낸 타이밍 차트.
- 도 18 은 본 발명에 따른 또다른 메모리형 교류 전류 플라즈마 표시 패널의 배치를 나타낸 평면도.

도면의 주요 부분에 대한 부호의 설명

A : 예비 방전 기간

B : 소거 기간

C : 기입 방전 기간

01/02/03/04/06 : 유지 방전 기간

31c : 경계

Scj/2 및 Scj/2+1 : 주사 전극

Suj/2 및 Suj/2+1 : 유지 전극

Duj 내지 Duj+3 및 Ddj 내지 Ddj+3 : 데이터 전극

36, 37 : 리딩 단부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플라스마 표시 패널에 관한 것으로, 특히, 조립용 오프셋 마진을 증가시키는 플라스마 표시 패널의 구조 및 이에 이용되는 제어 방법에 관한 것이다.

플라스마 표시 패널은 각종 형태를 갖는다. 플라스마 표시 패널은 박형이며 플리커가 없고 콘트라스트가 크다. 대형 표시 영역을 제공하는 것이 용이하고 시야각이 넓다. 플라스마 표시 패널은 화상 신호에 즉시 응답하며, 생생한 톤과 화상이 대형 표시 영역에서 생성된다. 플라스마 표시 패널은 예를 들면 컴퓨터 시스템의 화상 표시 장치로서 이용된다.

플라스마 표시 패널은 2 개의 카테고리(카테고리)로 분류된다. 카테고리 중 하나는 교류 전류 플라스마 표시 패널 이라 한다. 교류 전류 플라스마 표시 패널은 절연층으로 덮인 전극을 가지며, 교류 전류가 전극 사이에 인가되어 방전 가스내에서 방전을 발생시킨다. 다른 카테고리(카테고리)는 직류 플라스마 표시 패널 이라 하고, 전극은 방전 가스에 직접 노출된다. 직류 전류가 전극에 인가되고 전극은 방전을 발생시킨다. 절연층은 이온 충격으로부터 교류 전류 플라스마 표시 패널의 전극을 보호하며, 직류 플라스마 표시 패널의 전극 보다 내구성이 뛰어나다.

교류 전류 플라스마 표시 패널이 2 개의 서브 카테고리, 즉, 리프레시형과 메모리형으로 더 분류된다. 교류 전류 플라스마 표시 패널은 프레임 동안 방전의 반복과 함께 조도를 가변한다. 방전은 각 펄스에서 발생하고, 방전의 반복은 프레임 동안 전극에 인가되는 펄스의 수에 비례한다. 메모리형 교류 전류 플라스마 표시 패널은 각 전극에 인가되는 펄스의 수를 임의의 값으로 조절할 수 있다. 한편, 리프레시형 교류 전류 플라스마 표시 패널은 표시 시간을 단축시킴으로써, 각 주사선 상의 방전 반복이 감소되고 표시 용량에 대해서는 역이된다. 이러한 이유 때문에, 메모리형 교류 전류 플라스마 표시 패널은 리프레시형 교류 전류 플라스마 표시 패널보다 화상의 조도를 더욱 넓게 가변하며, 대형 표시 영역에 적절하다. 한편, 리프레시형 교류 전류 플라스마 표시 패널은 소형 표시 패널에 적절하다.

메모리형 교류 전류 플라스마 표시 패널의 전형적인 예는 2 개의 기판 구조체 사이에 방전 공간을 가지며, 3 종류의 전극이 2 개의 기판 구조체의 내부 표면에 형성된다. 2 종류의 전극은 기판 구조체 중 하나의 구조체 상에 배치되며, 방전을 지원하는데 이용된다. 잔여하는 전극은 다른 기판 구조체 상에 패터닝되고, 2 종류의 전극의 하나와 함께 기입 방전에 이용된다.

도 1 은 종래 메모리형 교류 전류 플라스마 표시 패널의 픽셀을 나타낸 도면이다. 종래 메모리형 교류 전류 플라스마 표시 패널은 크게는 2 개의 기판 구조체 (1 및 2) 및 기판 구조체 (1 및 2) 사이에 방전 공간 (4) 을 형성하는 스페이서 (3) 를 구비한다. 반도체 구조체 (1) 는 표시 영역을 제공하고, 그 영역에 화상이 생성된다.

기판 구조체 (1) 는 전방 투명 패널 (1a), 전방 투명 패널 (1a) 의 내부 표면에 형성된 주사 전극 (1b), 주사 전극 (1b) 에 평행한 내부 표면에 형성된 주사 전극 (1c), 주사 전극 및 유지 전극 (1b 및 1c) 을 덮는 절연층 (1d) 및 절연층 (1d) 상에 적층된 보호층 (1e) 을 포함한다. 한편, 다른 기판 구조체 (2) 는 백패널 (2a), 주사 전극 및 유지 전극 (1b 및 1c) 에 수직하게 백패널 (2a) 의 내부 표면에 형성하는 데이터 전극 (2b), 데이터 전극 (2b) 을 덮는 절연층 (2c) 및 절연층 (2c) 상에 적층된 형광체층 (2d) 을 포함한다. 방전 공간 (4) 은 헬륨, 네온, 크세논 또는 이들의 혼합 기스와 같은 방전 가스로 채워지고, 스페이서 (3) 는 픽셀을 정의한다. 방전 가스는 자외선광을 방출하고, 형광체층 (2d) 은 자외선광을 가시광 (5) 으로 변환한다. 가시광 (5) 은 전방 패널 (1a) 을 통해 통과하여, 표시 영역에 생성되는 화상의 일부를 형성한다. 보호층 (1e) 은 마그네슘 산화물로 형성되며, 방전 동안 충격 (bombardment) 으로부터 절연층 (1d) 을 보호한다.

종래 메모리형 교류 전류 플라스마 표시 패널은 다음과 같은 화상을 생성한다. 도 1 에 나타난 픽셀은 가시광 (5) 을 방출하는 것이 요구된다. 우선, 주사 펄스 신호가 주사 전극 (1b) 와 데이터 전극 (2b) 사이에 인가되고, 펄스 높이는 방전의 문턱치보다 더 크다. 주사 펄스 신호는 방전 가스가 방전을 초기화하도록 하며, 포지티브 전하 및 네거티브 전하가 발생한다. 형광체층 (2d) 이 자외선광을 가시광 (5) 으로 변환시키고, 가시광 (5) 은 화상의 일부를 형성한다. 포지티브 전하 및 네거티브 전하는 주사 전극 (1b) 및 데이터 전극 (2b) 으로 유도되어 기판 구조체 (1 및 2) 의 내부 표면 상에 각각 축적된다. 축적된 역전하는 주사 전극 및 데이터 전극 (1b 및 2b) 상의 전위 레벨에 대해 극성이 반대이고, 주사 전극 (1b) 과 데이터 전극 (2b) 사이의 유효 전위차를 감소시킨다. 결과적으로, 주사 펄스 신호가 주사 전극 (1b) 과 데이터 전극 (2b) 사이에 계속해서 인가되더라도, 픽셀은 방전을 지속할 수 없다.

역전하는 방전의 지속에 방해된다. 역전하를 소거하거나 또는 중성화시키기 위해서, 유지 펄스 신호가 주

사 전극 (1b) 과 유지 전극 (1c) 사이에 교대로 인가된다. 유지 펄스 신호가 방전의 문턱치보다 낮더라도, 유지 펄스 신호는 기관 구조체 (1) 상의 벽전하와 극성이 일치되고, 벽전하는 유효 전위차가 방전의 문턱치를 초과하도록 한다. 이러한 이유 때문에, 방전은 주사 전극 (1b) 과 유지 전극 (1c) 사이에서 유지 펄스 신호가 교번하는 동안 지속된다. 이것이 메모리 기능이다.

이 상태에서, 벽전하가 제거되거나 또는 중성화되는 경우, 픽셀은 방전을 중단한다. 소거 펄스 신호가 주사 전극 (1b) 또는 유지 전극 (1c) 중 어느 하나에 인가된다. 그 후, 픽셀은 방전을 지속할 수 없고 가시광이 소등된다.

픽셀은 도 2 에 나타난 행 및 열로 배치되어 표시 영역 (6) 을 형성한다. 원은 픽셀을 각각 나타낸다. 주사 전극 (Sc1, Sc2, ... 및 Scj) 은 유지 전극 (Su1, Su2, ... 및 Suj) 과 각각 쌍을 이루고, 주사 전극 / 유지 전극 쌍 (Sc1/Su1, Sc2/Su2, ... 및 Scj/Suj) 은 픽셀의 행과 각각 연관된다. 한편, 데이터 전극 (Da1, Da2, Da3, ... , Dak-1 및 Dak) 은 주사 전극 / 유지 전극 쌍 (Sc1/Su1 내지 Scj/Suj) 에 수직하게 연결하여, 픽셀의 열과 각각 연관된다. 형광체층 (2d) 은 3 원색, 즉, 적색, 녹색 및 청색으로 컬러화되고, 컬러 화상이 표시 영역 (6) 에 생성된다.

픽셀은 도 3 에 나타난 바와 같이 제어된다. 각 프레임은 복수의 서브 필드 (SF1 내지 SF6) 로 분할되고, 각 서브 필드 (SF1 내지 SF6) 는 예비 방전 기간 (A), 소거 기간 (B), 기입 방전 기간 (C), 및 유지 방전 기간 (D1/D2/D3/D4/D5/D6) 로 더 분할된다. 유지 방전 기간 (D1) 은 T 동안 지속되고, 유지 방전 기간 (D2 내지 D6) 은 T/2, T/4, T/8, T/16 및 T/32 로 연속적으로 감소된다.

모든 픽셀은 예비 방전 기간 (A) 에서 방전되고 소거 기간 (B) 에서 예비 방전을 중단한다. 주사 펄스 신호가 기입 방전 기간 (C) 에서 주사 전극 (Sc1 내지 Scj) 로 순차적으로 인가되고, 라인 (Li) 은 기입 방전 기간 (C) 에서의 신호 인가 타이밍을 나타낸다. 점등될 임의의 픽셀은 기입 방전 기간 (C) 동안 픽셀 어레이로부터 선택된다. 주사 신호의 인가의 완료시, 유지 펄스 신호는 모든 주사 전극 / 유지 전극 쌍으로 교대로 인가되기 때문에, 선택된 픽셀로부터 가시광이 방사된다. 유지 방전 기간이 1/2° 으로 단축되고, 유지 방전 기간 (D1 내지 D6) 의 조합은 각 픽셀의 조도를 결정한다. 따라서, 도 3 에 나타난 종래 제어 방법은 2° 계조를 성취한다.

유지 전극 / 주사전극 / 데이터 전극 상의 전위 레벨은 도 4 에 나타난 바와 같이 가변된다. 예비 방전 펄스 신호 (PS1) 가 예비 방전 기간 (A) 에서 모든 유지 전극 (Su1 내지 Suj) 에 인가되며, 모든 픽셀이 점등된다. 소거 펄스 신호 (PS2) 가 소거 기간 (B) 에서 주사 전극 (S1 내지 Sj) 으로 인가된다. 결과적으로, 활성 입자가 생성되고, 방전 전하가 축적된다. 결과적으로 픽셀은 주사 펄스 신호 (PS3) 에 즉시 응답된다.

주사 펄스 신호 (PS3) 는 주사 전극 (S1 내지 Sj) 에 순차적으로 인가되고, 데이터 펄스 신호 (PS4) 는 데이터 전극 (Da1 내지 DaJ) 에 선택적으로 인가된다. 주사 펄스 신호 (PS3) 및 데이터 펄스 신호 (PS4) 가 주사 전극 및 데이터 전극 에 동시에 인가되는 경우, 주사 전극 및 데이터 전극에 의해서 정해진 픽셀이 점등되고, 기입 상태로 들어간다. 이 것은 벽전하가 점등 픽셀에서 발생된다는 것을 의미한다.

유지 펄스 신호 (PS5) 는 유지 전극 (Su1 내지 Suj) 및 주사 전극 (Sc1 내지 Scj) 으로 교대로 인가되고, 기입 상태에 있는 픽셀은 지속적으로 점등된다.

픽셀이 소형화됨에 따라 제조자는 종래 메모리형 교류 전류 플라스마 표시 패널의 주사 전극 및 유지 전극 쌍 및 데이터 전극을 증가시켜왔다. 주사 전극 / 유지 전극 쌍이 증가된 종래 메모리형 교류 전류 플라스마 표시 패널은 표준 메모리형 교류 전류 표시 패널을 위한 기입 방전 기간 보다 더 긴 기입 방전 기간 (C) 을 요구하고, 각 서브 필드는 길어진다. 제조자가 각 서브 필드에 대한 시간 기간을 일정하게 유지하는 경우, 주사 펄스 신호를 더 협소하게 할 필요가 있고, 선택된 픽셀의 벽전하는 너무 작아서 유지 방전 기간에서 점등을 유지할 수 없다.

제조자가 계조를 증가시키길 기대하는 경우, 각 프레임은 표준 메모리형 교류 전류 플라스마 표시 패널의 서브 필드 이상의 서브 필드를 요구하며, 각 서브 필드를 위한 시간 기간은 단축된다. 결과적으로, 주사 펄스 신호 (PS2) 가 협소해지고, 임의의 선택된 픽셀은 불충분한 벽전하에 기인하여 오류로 점등된다.

각 프레임에서 기입 방전 기간 (C) 을 위한 총시간 (TC) 은 다음과 같이 표시된다.

$$TC = Tw \times Ln \times Sf$$

여기에서, Tw 는 주사 펄스 신호 (PS3) 의 펄스폭이고, Ln 은 주사 전극의 수이고, Sf 는 서브 필드의 수이다. 프레임 기간이 f 로 조절되는 경우, 각 프레임의 시간은 수학적 2 에 의해서 주어진다.

$$Lf = TC + Ta$$

여기에서, Ta 는 예비 방전 기간 (A), 소거 기간 (B) 및 유지 방전 기간 (D) 의 총시간 기간이다. 주사 전극의 수가 증가되거나 또는 서브 필드가 증가되는 경우, 총시간 기간 (TC) 은 길어진다. 한편, 프레임 주파수가 증가되는 경우, 각 프레임에 대한 시간 기간이 단축되고, 총 시간 기간 (Ta) 은 강제로 단축된다. 제조자가 유지 방전 기간 (D) 을 단축시키는 경우, 픽셀은 목적 조도를 성취할 수 없다. 이러한 이유 때문에, 통상적으로 제조자는 서브 필드를 단축시켜, 계조가 감소된다.

따라서, 도 3 에 나타난 종래 제어 방법은 기술적인 한계에 도달하게 된다. M. Uchidoi 등은 IDW'96,

페이지 291 내지 294 에서 40-in. Diagonal AC Plasma Display 의 패널 디자인 및 구동 방법 의 향상을 제안하고 있다. Uchidoi 등은 주사될 전극을 2 개의 그룹으로 분할하고, 2 개의 그룹이 동시에 주사되어 픽셀을 기입 상태로 선택적으로 변경시킨다. 결과적으로, 총기입 방전 기간은 상술한 종래 메모리형 교류 전류 플라스마 표시 패널의 절반으로 단축된다. Uchidoi 등에 의해서 제안된 제어 순서는 제조자가 주사 전극, 계조의 감소 없이 서브 필드 및/또는 프레임 기간을 증가시키는 것을 가능하게 한다.

도 5 는 Uchidoi 등에 의해서 제안된 메모리형 교류 전류 플라스마 표시 패널을 나타낸 도면이다. 작은 타원은 픽셀을 각각 나타내며, 행과 열로 배치된다. 픽셀의 행은 이하 상부 그룹 (11) 및 하부 그룹 (12) 이라고 하는 2 개의 그룹 (11 및 12) 으로 분할된다. 주사 전극 (Sc1 내지 Scj) 은 2 개의 그룹 (Sc1/Sc2/.../Scj/2 및 Scj/2+1/.../Scj) 으로 분할되고, 유지 전극 (Su1/Su2/.../Su2+2, Suj/2+1/.../Suj) 과 각각 쌍을 이룬다. 또한, 주사 전극 및 유지 전극 쌍 (Sc1/Su1 내지 Scj/Suj) 은 2 개의 그룹 (Sc1/Su1...Scj/2/Suj/2 및 Scj/2+1/Suj/2+1...Scj/Suj) 으로 분할되고, 상부 그룹 (11) 의 픽셀의 행 및 하부 그룹 (12) 의 픽셀의 행과 각각 연관된다. 데이터 전극 (Du1 내지 Duk) 의 2 그룹은 상부 그룹 (11) 및 하부 그룹 (12) 을 위해 준비되고, 상부 그룹 (11) 의 픽셀의 열 및 하부 그룹 (12) 의 픽셀의 열과 각각 연관된다.

도 5 에 나타낸 종래 메모리형 교류 전류 플라스마 표시 패널은 이하 제어 순서를 통해 화상을 생성한다. 도 6 은 제어 순서를 나타낸 도면이다. 각 서브 필드는 예비 방전 기간 (A), 소거 기간 (B), 기입 방전 기간 (C) 및 유지 방전 기간 (D) 으로 분할된다.

예비 방전 펄스 신호 (PS11) 는 예비 방전 기간 (A) 에서 모든 유지 전극 (Su1 내지 Suj) 에 인가되고, 소거 펄스 신호 (PS12) 는 소거 기간 (B) 에서 모든 주사 전극 (Sc1 내지 Scj) 에 인가된다. 상부 그룹 (11) 및 하부 그룹 (12) 은 기입 방전 기간 (C) 에서 주사 펄스 신호 (PS13) 가 동시에 주사되고, 데이터 펄스 신호 (PS14) 는 데이터 전극 (Du1 내지 Duk) 및 데이터 전극 (Dd1 내지 Ddk) 에 선택적으로 인가된다.

상세하게, 주사 펄스 신호 (PS13) 는 상부 그룹 (11) 의 제 1 주사 전극 (Sc1) 및 하부 그룹 (12) 의 제 1 주사 전극 (Scj/2+1) 에 동시에 인가되고, 상부 그룹 (11) 의 다른 주사 전극 및 하부 그룹 (12) 의 다른 주사 전극은 주사 펄스 신호 (PS13) 가 순차적으로 주사된다. 최종적으로, 상부 그룹 (11) 의 주사 전극 (Scj/2) 및 하부 그룹 (12) 의 주사 전극 (Scj) 은 주사 펄스 신호 (PS13) 가 동시에 주사된다. 픽셀은 주사 펄스 신호 (PS13) 및 데이터 펄스 신호 (PS14) 가 동시에 인가되고, 기입 상태로 들어간다. 따라서, 선택 기입은 상부 그룹 (11) 및 하부 그룹 (12) 에 대해 동시에 수행된다.

유지 펄스 신호 (PS15) 는 유지 방전 기간에서 유지 전극 (Su1 내지 Suj) 및 주사 전극 (Sc1 내지 Scj) 으로 교대로 인가된다.

각 프레임이 6 개의 서브 필드 (SF1 내지 SF6) 로 이루어진 경우, 주사 펄스 신호 (PS13) 는 도 7 에 나타낸 바와 같이 주사 전극 (Sc1 내지 Scj/2 및 Scj/2+1 내지 Scj) 에 순차적으로 인가된다. 주사 펄스 신호 (PS13) 는 화살표 (L2) 에 의해서 지정된 주사 전극 (Sc1 내지 Scj/2) 및 화살표 (L3) 에 의해서 지정된 주사 전극 (Scj/2+1 내지 Scj) 에 인가된다. 화살표 (L2) 는 화살표 (L3) 에 평행하게 이동되고, 기입 방전은 종래 표준 메모리형 교류 전류 플라스마 표시 패널에 의해서 소비되는 시간 기간의 절반 내에서 완료된다. 따라서, 제조자는 종래 메모리형 교류 전류 플라스마 표시 패널의 주사 전극 및 계조의 감소 없이 각 프레임에서의 서브 필드를 증가시킬 수 있으며, 생성될 화상의 품질을 향상시킬 수 있다. 그러나, 제조자는 2 개의 기관 구조체 사이의 조립시 Uchidoi 에 의해서 제안된 종래 메모리형 교류 전류 플라스마 표시 패널에서의 문제점에 귀착한다.

상세하게, 기관 구조체 (1 및 2) 는 개별적으로 제조되어, 서로 조립된다. 종래 표준 메모리형 교류 전류 플라스마 표시 패널에서, 데이터 전극 (Du1 내지 Duk) 은 모든 주사 전극 (Sc1 내지 Scj) 사이에서 분배된다. 기관 구조체 (1/2) 가 서로 오프셋된 경우에도, 오프셋은 모든 픽셀에 균등하게 영향을 주며, 기입 방전 특성은 픽셀간에서 변경되지 않는다. 그러나, Uchidoi 등에 의해서 제안된 종래 메모리형 교류 전류 플라스마 표시 패널은 데이터 전극 (Du1 내지 Duk) 및 (Dd1 내지 Ddk) 의 2 개의 그룹을 가지며, 그룹 (Du1 내지 Duk) 은 다른 그룹 (Dd1 내지 Ddk) 로부터 이격된다. 기관 구조체가 다른 기관 구조체로부터 오프셋되면, 주사 전극 (Scj/2 및 Scj/2+1) 과 데이터 전극 (Du1 내지 Duk 및 Dd1 내지 Ddk) 사이의 겹치는 영역이 홀수로 가변되지 않으며, 픽셀 그룹 (11 및 12) 사이의 경계의 양측부 상에 있는 픽셀은 이하 상세하게 설명할 기입 방전 특성을 개별적으로 가변한다.

도 8 은 Uchidoi 등에 의해서 제안된 종래 메모리형 교류 전류 플라스마 표시 패널에 임체화된 픽셀중 하나를 나타낸 도면이다. 스페이스 (20) 는 격자 구성으로 패턴링되어, 픽셀에 할당된 직사각 평행 육면체 공간 (21) 을 정의한다. 주사 전극 (22) 및 유지 전극 (23) 은 서로 평행하게 픽셀을 가로질러 연장하고, 주사 전극 (22) 과 유지 전극 (23) 사이에 갭 (24) 이 발생한다. 데이터 전극 (25) 은 픽셀로부터 돌출하고 데이터 전극 (25) 의 리딩 단부가 참조 번호 (25a) 에 의해서 지정된다. 오프셋이 Y0 로부터 Y1, Y2, 및 Y3 를 통해 리딩 단부 (25a) 를 가변하는 경우, 주사 전극 (22) 과 데이터 전극 (25) 사이의 겹치는 영역이 증가되고, 주사 전극 (22) 과 데이터 전극 (25) 은 도 9 에 나타낸 바와 같이 저전위에서 기입 방전을 개시한다.

리딩 단부 (25a) 가 Y3 을 초과하는 경우에도, 최소 전위가 저하되지 않는다. 따라서, Y2 와 Y3 사이의 차는 데이터 전극 (25) 에 대한 목적 범위이다. 도 10a 내지 10d 는 2 개의 그룹 (11 및 12) 사이의 경계를 가로질러 서로 대항하는 2 개의 픽셀 (21A 및 21B) 을 나타낸 도면이다. 알파벳 문자 A 및 B 는 픽셀 (21A) 의 전극을 지시하는 참조문 및 픽셀 (21B) 의 전극을 지시하는 참조문에 부가된다. 주사 전극 (22A 및 22B) 은 주사 전극 (Scj/2 및 Scj/2+1) 에 대응한다.

L1, L2, 및 W' 는 연관된 주사 전극 (22A) 으로부터의 데이터 전극 (25A) 의 돌출부를, 연관된 주사 전극 (22B) 으로부터의 데이터 전극 (25B) 의 돌출부를, 그리고 주사전극 (22A 및 22B) 사이의 거리를 나타낸다. 2 개의 기관 구조체가 임의의 오프셋 마진 없이 조립되는 경우, 리딩 단부 (25A 및 25B) 는 Y3 에 위치되고, 돌출부 (L1 및 L2) 는 도 10a 에 나타낸 바와 같이 L0 로 조절된다. 최소 전위는

L0 에서 안정된다.

조립시 오프셋 마진 (X') 을 제공하기 위해서, 데이터 전극 (25A) 은 L1 = L0 에서 유지되고, 데이터 전극 (25B) 은 데이터 전극 (25B) 및 주사 전극 (22A) 이 오류 접등되는 것으로부터 방지되는 한계 위치에 리딩 단부 (25Ba) 를 갖도록 허용한다. 리딩 단부 (25Ba) 는 L2 = X' + L0 에 위치되고, 리딩 단부 (25Ba) 및 주사 전극 (22A) 사이의 거리는 도 10b 에 나타낸 바와 같이 Gmin 으로 표시된다.

기관 구조체가 화살표 (AR21) 의 방향으로 도 10b 에 나타낸 목적 위치로부터 오프셋되는 경우, 도 10c 에 나타낸 바와 같이, 데이터 전극 (25A) 은 연합된 픽셀로부터 돌출하고, 데이터 전극 (25B) 은 연합된 픽셀로 철화된다. 기관 구조체가 목적 위치로부터 크게 오프셋되는 경우, 리딩 단부 (25Ba) 는 L0 에 의해서 주사 전극 (22B) 으로부터 돌출하고, 또한, 데이터 전극 (25A) 은 L1 = X' + L0 에 리딩 단부 (25Aa) 를 갖도록 유지 전극 (23A) 하부를 관통한다. 리딩 단부 (25Aa/25Ba) 와 주사 전극 (22B/22A) 사이의 거리가 Gmin 미만인 경우, 선택되지 않은 픽셀이 점등된다. 따라서, 조립을 위한 오프셋 마진 (X') 은 수학적 3 으로 주어진다.

$$X' = \frac{L0}{3} \cdot (L0 + Gmin)$$

발명이 이루고자하는 기술적 과제

따라서, 제조자는 Uchidoi 에 의해서 제안된 종래 메모리형 교류 전류 플라스마 표시 패널에서의 오프셋 마진이 극히 작은 문제점에 귀착한다.

따라서, 본 발명의 주요 목적은 오프셋 마진이 큰 플라스마 표시 패널을 제공하는데 있다.

또한, 본 발명의 다른 주요 목적은 플라스마 표시 패널을 제어하는 방법을 제공하는데 있다.

발명의 구성 및 작용

상술한 목적을 달성하기 위해서, 본 발명은 2 개의 그룹 사이의 경계에 대하여 대칭으로 2 개의 그룹의 주사 전극 및 유지 전극을 배치하는 것을 제안한다.

본 발명의 제 1 실시예에 따르면, 경계의 하나의 측부 및 경계의 다른 측부상에 제공된 적어도 제 1 픽셀 블록 및 제 2 픽셀 블록을 갖는 복수의 픽셀 블록, 제 1 방향으로 연장하는 복수의 제 1 주사 전극, 복수의 제 1 유지 전극과 각각 쌍을 이루어 제 1 픽셀 블록의 픽셀과 선택적으로 연관된 복수의 제 1 전극쌍을 형성하며 연관된 최내부 제 1 주사 전극보다 경계에 더 인접한 최내부 제 1 유지 전극을 갖는 제 1 방향으로 연장하는 복수의 제 1 유지 전극, 제 1 방향으로 수직인 제 2 방향으로 연장하고 제 1 픽셀 블록의 픽셀과 선택적으로 연관되는, 제 1 방전 공간을 통해 복수의 제 1 전극쌍에 대향되는 복수의 제 1 데이터 전극, 제 1 방향으로 연장하는 복수의 제 2 주사 전극, 제 2 픽셀 블록의 픽셀과 선택적으로 연관된 복수의 제 2 전극쌍을 형성하도록 복수의 제 2 주사 전극과 각각 쌍을 이루어 연관된 최내부 제 2 주사 주사 전극보다 경계에 더 인접한 최내부 제 2 유지 전극을 갖는 제 1 방향으로 연장하는 복수의 제 2 유지 전극, 및 제 2 픽셀 블록의 픽셀과 선택적으로 연관되고 제 2 방향으로 연장하며, 제 2 방전 공간을 통해 복수의 제 2 전극쌍에 대향되는 복수의 제 2 데이터 전극을 구비하는 플라스마 표시패널을 제공하고 있다.

본 발명의 다른 실시예에 따르면, 제 1 주사 전극과 각각 쌍을 이루어 제 1 전극쌍을 형성하는 제 1 유지 전극, 제 2 주사 전극과 각각 쌍을 이루어 제 2 전극쌍을 형성하는 제 2 유지 전극, 제 1 전극쌍과 제 2 전극쌍에 대향되어 제 1 픽셀 블록과 제 2 픽셀 블록을 정의하는 데이터 전극, 및 최내부 제 1 유지 전극 과 이에 가장 인접한 최내부 제 2 유지 전극에 대향되는 경계를 포함하는 플라스마 표시 패널을 제어하는 방법으로서, 데이터 전극과 제 1 및 제 2 주사 전극 사이에서, 제 1 방향의 제 1 픽셀 블록에서 그리고 경계에 대하여 제 1 방향에 대향하는 제 2 방향의 제 2 픽셀 블록에서 실질적으로 발생하는 방식으로 기입 방전을 발생시키는 단계, 및 상기 단계에서 기입 상태로 들어간 픽셀에서 유지 방전을 발생시키는 단계를 구비하는 플라스마 표시 패널 제어 방법을 제공하고 있다.

메모리형 교류 전류 플라스마 표시 패널 및 제어 방법의 형태 및 이점은 첨부된 도면을 참조한 이하 설명으로부터 더욱 명백하게 이해되어질 것이다.

제 1 실시예

도면의 도 11 을 참조하면, 본 발명을 이용한 메모리형 교류 전류 플라스마 표시 패널은 크게는 픽셀 어레이 (31) 및 제어기 (32) 로 이루어진다. 픽셀 어레이 (31) 는 표시 영역을 형성하고 표시 영역상에 시각 화상을 생성한다. 도 12 에 나타낸 바와 같이, 전방 기관 구조체 (33), 후방 기관 구조체 (34) 및 격자 형태의 스페이서 (35) 는 픽셀 어레이 (31) 와 조합하여 형성한다.

전방 기관 구조체 (33) 는 전방 투명 패널 (33a), 전방 투명 패널 (33a) 의 내부 표면에 형성된 유지 전극 (Sc), 유지 전극 (Sc) 에 평행한 내부 표면 상에 형성된 유지 전극 (Su), 및 주사 전극과 유지 전극 (Sc/Su) 을 덮는 절연 구조체 (33b) 를 포함하며, 절연 구조체 (33b) 는 종래 구조체와 마찬가지로 절연층과 보호층의 적층에 의해서 구현될 수도 있다. 주사 전극 (Sc) 은 유지 전극 (Su) 과 각각 쌍을 이루고, 복수의 주사 전극 / 유지 전극 쌍 (Sc/Su) 은 전방 투명 패널 (33a) 의 내부 표면에 배치된다.

후방 기관 구조체 (34) 는 백패널 (34a), 주사 전극 / 유지 전극 (Sc/Su) 에 수직하게 백패널 (34a) 의 내부 표면상으로 연장하는 데이터 전극 (Du/Dd), 데이터 전극 (Du/Dd) 을 덮는 절연층 (34bc) 및 절연층 (34b) 상에 적층된 형광체층 (34cd) 을 포함한다. 격자형태의 스페이서 (35) 는 방전 공간 (36) 을 생성하고, 방전 스페이서 (36) 는 방전 가스로 채워진다. 데이터 전극 (Du/Dd), 주사 전극 / 유지

전극 쌍 (Sc/Su) 은 각 방전 공간 (36) 과 연관되어 각 픽셀을 정의한다.

도면의 도 11 을 제 참조하면, 소형의 타원은 픽셀을 나타내며, 픽셀은 2 개의 픽셀 블록 (31a/31b) 을 형성한다. 각 픽셀 블록 (31a/31b) 의 픽셀은 행과 열로 배치되고, 픽셀 블록 (31a) 은 경계 (31c) 를 가로질러 다른 픽셀 블록 (31b) 에 대향된다.

주사 전극 (Sc) 은 픽셀 블록 (31a/31b) 의 픽셀의 행과 각각 연합되고, (Sc1, Sc2, Scj/2, Scj/2+1, ... 및 Scj) 로 각각 라벨된다. 주사 전극 (Sc1 내지 Scj) 은 병렬로 제어기 (32) 와 접속되고, 제어기 (32) 는 주사 펄스 신호 (PS31) 를 주사 전극 (Sc1 내지 Scj/2 및 Scj/2+1 내지 Scj) 로 선택적으로 공급한다. 또한, 제어기 (32) 는 유지 펄스 신호 (PS32) 를 모든 주사 전극 (Sc1 내지 Scj/2 및 Scj/2+1 내지 Scj) 로 공급한다. 본 예에서, 주사 전극 (Sc1 내지 Scj/2) 은 픽셀 블록 (31a) 과 연합되고, 잔여하는 주사 전극 (Scj/2+1 내지 Scj) 는 다른 픽셀 블록 (31b) 과 연관된다. 또한, 소거 펄스 신호 (PS33) 는 제어기 (32) 로부터 주사 전극 (Sc1 내지 Scj) 으로 공급된다. 유지 전극 (Su) 은 픽셀의 행과 각각 연합되고, (Su1, Su2, ..., Suj/2, Suj+1, ... 및 Suj) 로 라벨된다. 유지 전극 (Su1 내지 Suj) 은 공통 신호선 (COM) 에 접속되고, 공통 신호선 (COM) 은 제어기 (32) 에 접속된다. 이러한 이유 때문에, 제어기는 유지 펄스 신호 (PS32) 및 예비방전 펄스 신호 (PS34) 를 모든 유지 전극 (Su1 내지 Suj/2 및 Suj/2+1 내지 Suj) 으로 공급한다.

본 예에서, 주사 전극 / 유지 전극 쌍 (Sc1/Su1 내지 Scj/2 / Suj/2) 각각은 연관된 주사 전극 (Sc1 내지 Scj/2) 보다 경계 (31c) 에 인접한 유지 전극 (Su1 내지 Suj/2) 을 가지며, 또한, 주사 전극 / 유지 전극 쌍 (Scj/2+1 / Suj/2+1 내지 Scj/Suj) 각각은 연관된 주사 전극 (Scj/2+1 내지 Scj) 보다 경계 (31c) 에 더 인접한 유지 전극 (Suj/2+1 내지 Suj) 을 갖는다. 따라서, 경계 (31c) 는 주사 전극 / 유지 전극 쌍 (Sc1/Su1 내지 Scj/2 / Suj/2) 과 주사 전극 / 유지 전극 쌍 (Scj/2+1 / Suj/2+1 내지 Scj/Suj) 사이의 대칭축이다.

데이터 전극 (Du 및 Dd) 은 픽셀 블록 (31a) 의 픽셀의 열 및 다른 픽셀 블록 (31b) 의 픽셀의 열과 각각 연합된다. 픽셀 블록 (31a) 에 대한 데이터 전극 (Du) 은 (Du1, Du2, Du3, ... 및 Duk) 로 각각 라벨되며, 다른 픽셀 블록 (31b) 에 대한 데이터 전극 (Dd) 은 각각 (Dd1, Dd2, Dd3, ... 및 Ddk) 로 라벨된다. 데이터 전극 (Du1 내지 Duk 및 Dd1 내지 Ddk) 은 제어기 (32) 에 병렬로 접속되고, 제어기 (32) 는 데이터 펄스 신호 (PS35) 를 데이터 전극 (Du1 내지 Duk 및 Dd1 내지 Ddk) 으로 선택적으로 공급한다.

도 13 에 나타낸 바와 같이, 경계 (31c) 의 양측부에서 대칭 배치가 명백하다. 주사 전극 (Scj/2 및 Scj/2+1), 유지 전극 (Suj/2 및 Suj/2+1) 및 데이터 전극 (Du_j 내지 Du_{j+3} 및 Dd_j 내지 Dd_{j+3}) 을 서로 용이하게 식별하기 위해서, 주사 전극 (Scj/2 및 Scj/2+1) 및 데이터 전극 (Du_j 내지 Du_{j+3} 및 Dd_j 내지 Dd_{j+3}) 은 도 13 에 상이하게 해치 (hatch) 되어 있다. 도 12 에 나타낸 구조체는 도 13 의 선 (A-A) 을 따라 취해진 것이다. 데이터 전극 (Du_j 내지 Du_{j+3}) 은 주사 전극 (Scj/2) 과 겹치며, 데이터 전극 (Du_j 내지 Du_{j+3}) 의 리딩 단부 (36) 는 유지 전극 (Suj/2) 의 하부에 도달한다. 마찬가지로, 데이터 전극 (Dd_j 내지 Dd_{j+3}) 은 주사 전극 (Scj/2+1) 과 겹치고, 데이터 전극 (Dd_j 내지 Dd_{j+3}) 의 리딩 단부 (37) 는 유지 전극 (Suj/2+1) 하부 위치에 도달한다. 도 13 에서, Ng 및 0 는 비방전 값 및 데이터 전극 (Du_j 내지 Du_{j+3}) 과 데이터 전극 (Dd_j 내지 Dd_{j+3}) 사이의 거리를 나타낸다.

주사 전극 (Scj/2 / Scj/2+1) 및 데이터 전극 (Du_j 내지 Du_{j+3} / Dd_j 내지 Dd_{j+3}) 이 최소 전위차로 기입 방전을 개시하고, 연관되지 않은 주사 전극 (Scj/2+1 및 Scj/2) 과 데이터 전극 (Du_j 내지 Du_{j+3} / Dd_j 내지 Dd_{j+3}) 사이에서는 기입 방전이 방전되지 않는 방식으로, 리딩 단부 (36/37) 의 위치가 결정된다.

상세하게, 도 14a 내지 14d 는 상이한 오프셋 하에서, 데이터 전극 (Du/Dd) 과 주사 전극 (Scj/2 / Scj/2+1) 사이의 상대적 위치를 나타낸다. L1 및 L2 는 연관된 주사 전극 (Scj/2) 으로부터의 리딩 단부 (36) 의 출출부 및 연관된 주사 전극 (Scj/2+1) 으로부터의 리딩 단부 (37) 의 출출부를 나타낸다. W 는 주사 전극 (Scj/2 및 Scj/2+1) 사이의 거리를 지정한다. 이하 설명에서, 참조문 G_{min} 은 연관되지 않은 주사 전극 (Scj/2 또는 Scj/2+1) 과 데이터 전극 (Dd 또는 Du) 이 임의의 기입 방전으로부터 방지되는 한계 위치를 나타낸다.

도 14a 에 나타낸 바와 같이, L1 및 L2 가 L0 과 동일하게 설계되는 경우, 조립시 마진은 0 이다. 비록, 데이터 전극 (Du) 이 L0 에서 리딩 단부 (36) 를 유지하더라도, 다른 데이터 전극 (Dd) 은 한계 위치 (G_{min}) 로 출출한다. 그후, 도 14b 에 나타낸 바와 같이, 리딩 단부 (37) 는 L0 과 X 를 합한 것과 동일해진다.

후방 기판 구조체 (34) 가 조립 동안 화살표 (AR35) 에 의해서 지시된 바와 같이 도 14b 에 나타낸 조립 상태에 대한 전방 기판 구조체 (31) 로부터 바람직하지 못하게 오프셋되는 경우, 도 14c 에 나타낸 바와 같이, 데이터 전극 (Du) 은 유지 전극 (Suj/2) 하부의 공간으로 출출하고, 다른 데이터 전극 (Dd) 은 유지 전극 (Suj/2+1) 하부의 공간으로 침투된다. 한계 위치 (G_{min}) 는 연관되지 않은 주사 전극 (Scj/2+1 및 Scj/2) 과 데이터 전극 (Du/Dd) 사이에서 유지된다.

오프셋이 증가되어 리딩 단부 (36) 가 한계 위치 (LM) 에 도달하는 경우, 도 14d 에 나타낸 바와 같이, 리딩 단부 (36) 는 L1 = X + L0 에 위치되고, 다른 데이터 전극 (Dd) 은 출출부를 L0 로 감소시킨다. 이러한 이유 때문에, 오프셋 마진 (X) 은 이하 수학식에 의해서 부여된다.

$$X = W \cdot (L0 + G_{min})$$

수학식 4 와 수학식 3 을 비교하면, 상수 (L0 + G_{min}) 는 주사 전극 (W'/W) 사이의 거리로부터 감소된다. 하나의 유지 전극 (23A) 만이 종래 메모리형 교류 전류 플라즈마 표시 패널 (도 10a 내지 10d) 의 주사 전극 (22A 및 22B) 사이에 제공된다. 한편, 2 개의 유지 전극 (Suj/2 및 Suj/2+1) 은 본 발명에 따른 메모리형 교류 전류 플라즈마 표시 패널의 주사 전극 (Scj/2 및 Scj/2+1) 사이에 제공된다.

이러한 이유 때문에, 거리 (W) 는 거리 (W') 보다 넓기 때문에, 오프셋 마진 (X) 은 오프셋 마진 (X') 보다 크다.

메모리형 교류 전류 플라스마 표시 패널은 각 프레임에서 표시 영역상에 화상을 생성하고, 프레임은 복수의 서브 필드 (SF1 내지 SF6) 로 분할된다. 각 서브 필드 (SF1 내지 SF6) 는 예비 방전 기간 (A), 소거 기간 (B), 기입 방전 기간 (C) 및 유지 전극 기간 (D1 내지 D6) (도 16 에 도시함) 으로 더 분할되고, 유지 방전 기간이 T로부터 T/2, T/4, T/8, T/16 및 T/32 를 통하여 감소되기 때문에 2° 의 계조를 제공한다.

제어기 (32) 는 예비 방전 기간 (A) 에서 예비 방전 펄스 신호 (PS34) 를 모든 유지 전극 (Su1 내지 Suj) 로 공급하고, 소거 기간 (B) 에서 소거 신호 펄스 (PS33) 를 모든 주사 전극 (Sc1 내지 Scj) 으로 공급한다.

제어기는 기입 방전 기간 (C) 에서 주사 펄스 신호 (PS31) 를 주사 전극 그룹 (Sc1 내지 Scj/2 및 Scj/2+1 내지 Scj) 의 둘다에 순차적으로 공급하고, 데이터 펄스 신호 (PS35) 를 연관된 데이터 전극 (Du1 내지 Duk 및 Dd1 내지 Ddk) 으로 선택적으로 공급한다. 우선, 주사 펄스 신호 (PS31) 는 주사 전극 (Sc1/Scj) 로 동시에 공급되고, 주사 전극은 Sc1/Scj 으로부터 Scj/2 / Scj/2+1 로 순차적으로 변경된다. 주사는 도 15 의 화살표 (AR36/AR37) 에 의해서 지정되고, 주사 순서는 기입 방전 특성을 균일하게 한다.

데이터 펄스 신호 (PS35) 는 주사 펄스 신호 (PS31) 와 동시에 데이터 전극 (Du1 내지 Duk 및 Dd1 내지 Ddk) 으로 선택적으로 공급된다. 이러한 이유 때문에, 데이터 펄스 신호 (PS35) 와 주사 펄스 신호 (PS31) 가 동시에 공급된 픽셀이 점등되고, 기입 상태로 들어간다.

상술한 설명으로부터 이해된 바와 같이, 주사 전극 및 유지 전극의 대형 배치는 오프셋 마진을 크게하고 제조자가 수율을 향상키는 것을 용이하게 한다.

도 15 및 도 16 에 나타난 제어 방법은 표시 영역상에 화상을 생성하기 위해 본 발명에 따른 메모리형 교류 전류 플라스마 표시 패널을 적절하게 구동한다.

제 2 실시예

도 17 은 본 발명을 이용한 메모리형 교류 전류 플라스마 표시 패널을 위한 다른 제어 순서를 나타낸 도면이다. 제 2 실시예를 구현한 메모리형 교류 전류 플라스마 표시 패널은 제 1 실시예와 유사하므로 간략화를 위해 이하 설명을 생략한다.

도 17 에 나타난 제어 순서는 주사 방향만이 도 15 에 나타난 제어 순서와 상이하다. 제 1 실시예의 제어기 (32) 는 Sc1/Scj 으로부터 Scj/2 / Scj/2+1 를 향해 주사 전극을 변경시키지만, 화살표 (AR38/AR39) 에 의해서 지시된 바와 같이 제 2 실시예의 제어기 (32) 는 Scj/2 / Scj/2+1 으로부터 Sc1/Scj 를 향해 주사 전극을 변경시킨다. 제 2 실시예는 제 1 실시예의 모든 이점을 성취한다.

제 3 실시예

도 18 은 본 발명을 이용한 또다른 메모리형 교류 전류 플라스마 표시 패널을 나타낸 도면이다. 제 3 실시예를 구현한 메모리형 교류 전류 플라스마 표시 패널은 주사 전극 및 유지 전극을 배치한 것을 제외하고는 제 1 실시예와 유사하다. 이러한 이유 때문에, 제 1 실시예의 픽셀 블록과 전극에 대응하여 지시하는 픽셀 블록 및 전극은 동일한 참조번호로 라벨되고, 이하 설명은 주사 전극과 유지 전극의 배치에 초점을 맞춘다.

최외부 주사 전극 / 유지 전극 쌍 (Sc1/Su1 및 Scj/Suj) 은 연관된 유지 전극 (Su1/Suj) 보다 경계 (31c) 에 더 인접한 주사 전극 (Sc1/Scj) 을 갖는다. 후속하는 주사 전극 / 유지 전극 쌍 (Sc2/Su2 및 Scj-1 / Suj-1) 은 연관된 주사 전극 (Sc2/Scj-1) 보다 경계 (31c) 에 더 인접한 유지 전극 (Su2/Suj-1) 을 갖는다. 따라서, 연관된 주사 전극과 유지 전극은 위치를 교대로 변경한다. 그러나, 유지 전극 (Suj/2 / Suj/2+1) -은 제 1 실시예와 유사한 최내부 주사 전극 / 유지 전극 쌍의 연관된 주사 전극 (Scj/2 / Scj/2+1) 보다 경계 (31c) 에 더 인접한다. 따라서, 최내부 주사 전극 (Scj/2 및 Scj/2+1) 사이에 2 개의 유지 전극 (Suj/2 / Suj/2+1) 이 존재하고 주사 전극과 유지 전극의 배치는 제조자에게 큰 오프셋 마진을 제공한다.

도 15 또는 도 17 에 나타난 제어 순서는 제 3 실시예를 구현한 메모리형 교류 전류 플라스마 표시 패널에 유용하다.

상술한 바로부터 알 수 있는 바와 같이, 복수의 유지 전극은 최내부 주사 전극사이에 제공되고, 주사 전극과 유지 전극의 배치는 오프셋 마진을 증가시킨다. 더욱이, 주사 전극과 유지 전극이 경계에 대해서 대칭으로 배치되는 경우, 제어기는 하나의 픽셀 블록에 대한 주사 방향이 다른 픽셀 블록에 대한 주사 방향과 대향하는 방식으로 주사 펄스 신호를 주사 전극에 순차적으로 공급하고, 기입 특성은 본 발명에 따른 제어 순서를 통해 균일하게 이루어진다.

비록, 본 발명의 특정 실시예를 나타내고 설명했지만, 각종 수정 및 변경이 본 발명의 취지 및 범주로부터 벗어나지 않고 이루어질 수도 있음이 당해 분야에 숙련된 자에게 명백하다.

기입 특성이 주사 방향과 전극 배치의 관계가 무관한 경우, 본 발명에 따른 메모리형 교류 전류 플라스마 표시 패널에 대해 도 7 에 나타난 종래 제어 순서를 이용하는 것이 가능하다.

주사 전극과 유지 전극의 배치는 복수의 유지 전극이 최내부 주사 전극 사이에 삽입되는 한 도 11 및 도 18 에 나타난 것에 제한되지 않는다.

본 발명에 따른 메모리형 교류 전류 플라스마 표시 패널은 2 개 이상의 픽셀 블록을 가질수도 있다. 본 예에서, 2 개의 픽셀 블록 마다의 최내부 유지 전극은 연관된 최내부 주사 전극보다 경계에 더 인접

한다.

본 발명은 픽셀이 복수의 픽셀 블록으로 분할되는 한 임의의 종류의 플라즈마 표시 패널에 적용할 수도 있다. 상세하게는, 본 발명은 리프레시형 교류 전류 플라즈마 표시 패널 및 임의의 종류의 직류 플라즈마 표시 패널에 적용가능하다.

발명의 효과

이상의 설명에 따르면, 본 발명은 오프셋 마진이 큰 플라즈마 표시 패널을 제공하고, 플라즈마 표시 패널을 제어하는 방법을 제공하는데 있다.

(57) 청구의 범위

청구항 1. 경계 (31c) 의 하나의 측부 및 상기 경계의 다른 측부에 제공된 적어도 제 1 픽셀 블록 (31a) 및 제 2 픽셀 블록 (31b) 을 갖는 복수의 픽셀 블록,

제 1 방향으로 연장하는 복수의 제 1 주사 전극 (Sc1 내지 Scj/2),

상기 제 1 픽셀 블록 (31a) 의 픽셀과 선택적으로 연관된 복수의 제 1 전극쌍을 형성하도록 상기 복수의 제 1 주사 전극과 각각 쌍을 이루며 상기 제 1 방향으로 연장하는 복수의 제 1 유지 전극 (Su1 내지 Suj/2),

상기 제 1 방향에 수직한 제 2 방향으로 연장하고 상기 제 1 픽셀 블록 (31a) 의 상기 픽셀과 선택적으로 연관되는, 제 1 방전 공간 (36) 을 통해 상기 복수의 제 1 전극쌍에 대향하는 복수의 제 1 데이터 전극 (Du1 내지 Duk),

상기 제 1 방향으로 연장하는 복수의 제 2 주사 전극 (Scj/2+1 내지 Scj),

상기 제 2 픽셀 블록 (31b) 의 픽셀과 선택적으로 연관된 복수의 제 2 전극쌍을 형성하도록 상기 복수의 제 2 주사 전극과 각각 쌍을 이루며 상기 제 1 방향으로 연장하는 복수의 제 2 유지 전극 (Suj/2+1 내지 Suj), 및

상기 제 2 픽셀 블록 (31b) 의 상기 픽셀과 선택적으로 연관되고 상기 제 2 방향으로 연장하는, 제 2 방전 공간 (36) 을 통해 상기 복수의 제 2 전극쌍에 대향하는 복수의 제 2 데이터 전극 (Dd1 내지 Ddk) 을 구비하는 플라즈마 표시 패널로서,

최내부 제 1 유지 전극 (Suj/2) 및 최내부 제 2 유지 전극 (Suj/2+1) 은 연관된 최내부 제 1 주사 전극 (Scj/2) 및 연관된 최내부 제 2 주사 전극 (Scj/2+1) 보다 상기 경계 (31c) 에 각각 더 인접하는 것을 특징으로 하는 플라즈마 표시 패널.

청구항 2. 제 1 항에 있어서,

각각의 상기 복수의 제 1 전극쌍과 각각의 상기 복수의 제 2 전극쌍은 연관된 제 1 주사 전극 (Sc1 내지 Scj/2) 및 연관된 제 2 주사 전극 (Scj/2+1 내지 Scj) 보다 상기 경계 (31c) 에 각각 더 인접한 제 1 유지 전극 (Su1 내지 Suj/2) 및 제 2 유지 전극 (Suj/2+1 내지 Suj) 을 각각 갖는 것을 특징으로 하는 플라즈마 표시 패널.

청구항 3. 제 2 항에 있어서,

상기 복수의 제 1 전극쌍 및 상기 복수의 제 2 전극쌍은 제 1 패널 (33a) 의 내부 표면상에 형성되고, 제 1 절연 구조체 (33b) 로 덮여지며,

상기 복수의 제 1 데이터 전극 (Du) 및 상기 복수의 제 2 데이터 전극 (Dd) 은 제 2 절연 구조체 (34b/34c) 로 덮여진 제 2 패널 (34a) 상에 형성되며, 스페이서 (35) 에 의해서 상기 제 1 패널로부터 이격되는 것을 특징으로 하는 플라즈마 표시 패널.

청구항 4. 제 1 항에 있어서,

상기 복수의 제 1 전극쌍은 외부 위치와 상기 외부 위치보다 상기 경계 (31c) 에 더 인접한 내부 위치 사이에서 제 1 유지 전극 (Su1 - Suj/2-1 - Suj/2) 과 제 1 주사 전극 (Sc1 - Scj/2-1 - Scj/2) 을 교대로 변경시키고,

상기 복수의 제 2 전극쌍은 상기 외부 위치와 상기 내부 위치 사이에서 제 2 유지 전극 (Suj/2+1 - Suj/2+2 - Suj) 과 제 2 주사 전극 (Scj/2+1 - Scj/2+2 - Scj) 을 교대로 변경시키는 것을 특징으로 하는 플라즈마 표시 패널.

청구항 5. 제 4 항에 있어서,

상기 복수의 제 1 전극쌍과 상기 복수의 제 2 전극쌍은 제 1 패널 (33a) 의 내부 표면상에 형성되고, 제 1 절연 구조체 (33b) 로 덮여지며,

상기 복수의 제 1 데이터 전극 (Du) 및 상기 복수의 제 2 데이터 전극 (Dd) 은 제 2 절연 구조체 (34b/34c) 로 덮인 제 2 패널 (34a) 상에 형성되고 스페이서 (35) 에 의해서 상기 제 1 패널로부터 이격되는 것을 특징으로 하는 플라즈마 표시 패널.

청구항 6. 제 1 항에 있어서,

상기 복수의 제 1 데이터 전극 (Du1 내지 Duk) 및 상기 복수의 제 2 데이터 전극 (Dd1 내지 Ddk) 은 상기 경계 (31c) 와 실질적으로 일치하는 중심을 갖는 스페이서벽 (35) 의 양측부 상에 제공되고,

상기 최내부 제 1 주사 전극 (Scj/2) 과 상기 스페이서벽 (35) 사이의 제 1 거리 (Ga1n) 는 상기 최내부

제 2 전극 ($Scj/2+1$) 과 상기 스페이서벽 (35) 사이의 제 2 거리보다 멀고,

상기 최내부 제 1 주사 전극 ($Scj/2$) 과 상기 최내부 제 2 주사 전극 ($Scj/2+1$) 사이의 제 3 거리 (Φ) 는 연관된 최내부 주사 전극 ($Scj/2$) 로부터 상기 복수의 제 1 데이터 전극 ($Du1$ 내지 Duk) 의 최소 돌출부 ($L0$) 와 상기 제 1 거리 (Φ_{min}) 사이의 차와 동일하거나 또는 보다 커서,

상기 최내부 제 1 주사 전극과 상기 최내부 제 2 주사 전극 사이에서 방전이 발생하는 전위차가 최소화되는 것을 특징으로 하는 플라즈마 표시 패널.

청구항 7. 제 1 항에 있어서,

상기 복수의 제 1 데이터 전극 ($Du1$ 내지 Duk) 및 상기 복수의 제 2 데이터 전극 ($Dd1$ 내지 Ddk) 은 상기 경계 (31c) 와 실질적으로 일치하는 중심을 갖는 스페이서벽 (35) 의 양측부 상에 제공되고,

상기 복수의 제 1 데이터 전극 ($Du1$ 내지 Duk) 과 상기 복수의 제 2 데이터 전극 ($Dd1$ 내지 Ddk) 사이의 거리 (Φ) 는 상기 최내부 제 1 주사 전극 ($Scj/2$) 과 상기 최내부 제 2 주사 전극 ($Scj/2+1$) 사이의 거리 (Φ) 와, 연관된 최내부 주사 전극으로부터 상기 복수의 제 1 데이터 전극의 최소 돌출부 ($L0$) 보다 2 배 먼 거리 값 사이의 차와 동일하거나 또는 보다 작아서,

상기 복수의 제 1 데이터 전극과 상기 복수의 제 2 데이터 전극 사이에서 방전이 발생하는 전위차가 최소화되는 것을 특징으로 하는 플라즈마 표시 패널.

청구항 8. 제 1 항에 있어서,

예비 방전 펄스 (PS34) 는 필드의 제 1 시간 기간 (A) 에서 상기 복수의 제 1 유지 전극 및 상기 복수의 제 2 유지 전극에 인가되고,

소거 펄스 (PS33) 는 상기 제 1 시간 기간 후에 상기 필드의 제 2 시간 기간 (B) 에서 상기 복수의 제 1 주사 전극 및 상기 복수의 제 2 주사 전극에 인가되고,

주사 펄스 신호 (PS31) 는 상기 제 2 시간 기간 후에 상기 필드의 제 3 시간 기간 (C) 에서 상기 복수의 제 1 주사 전극 및 상기 복수의 제 2 주사 전극에 순차적으로 인가되고,

데이터 펄스 신호 (PS35) 는 상기 제 3 시간 기간에서 상기 복수의 제 1 데이터 전극 및 상기 복수의 제 2 데이터 전극에 선택적으로 인가되고,

유지 펄스 신호 (PS32) 는 상기 제 3 시간 기간 후에 상기 필드의 제 4 시간 기간에서 상기 복수의 제 1 및 제 2 유지 전극과 상기 복수의 제 1 및 제 2 주사 전극에 교대로 인가되는 것을 특징으로 하는 플라즈마 표시 패널.

청구항 9. 제 8 항에 있어서,

상기 복수의 제 1 주사 전극 ($Sc1$ 내지 $Scj/2$) 은 상기 복수의 제 2 주사 전극 ($Scj/2+1$ 내지 Scj) 과 각각 쌍을 이루어, 복수의 주사 전극쌍을 형성하고,

상기 주사 펄스 신호 (PS31) 는 상기 복수의 주사 전극쌍에 순차적으로 인가되는 것을 특징으로 하는 플라즈마 표시 패널.

청구항 10. 제 8 항에 있어서,

상기 제 1 시간 기간 내지 상기 제 4 시간 기간을 각각 갖는 상기 필드 (SF1) 및 다른 필드 (SF2 내지 SF6) 가 적렬로 배치되고, 화상을 생성하는 프레임을 형성하는 것을 특징으로 하는 플라즈마 표시 패널.

청구항 11. 제 1 주사 전극 ($Sc1$ 내지 $Scj/2$) 과 각각 쌍을 이루어 제 1 전극쌍을 형성하는 제 1 유지 전극 ($Su1$ 내지 $Suj/2$), 제 2 주사 전극 ($Scj/2+1$ 내지 Scj) 과 각각 쌍을 이루어 제 2 전극쌍을 형성하는 제 2 유지 전극 ($Suj/2+1$ 내지 Suj), 상기 제 1 전극쌍과 상기 제 2 전극쌍에 대향되어 제 1 픽셀 블록 (31a) 과 제 2 픽셀 블록 (31b) 을 정의하는 데이터 전극 ($Du1$ 내지 Duk / $Dd1$ 내지 Ddk), 및 최내부 제 1 유지 전극 ($Suj/2$) 과 이에 가장 인접한 최내부 제 2 유지 전극 ($Suj/2+1$) 에 대향되는 경계 (31c) 를 포함하는 플라즈마 표시 패널을 제어하는 방법으로서,

a) 상기 데이터 전극 ($Du1$ 내지 Duk / $Dd1$ 내지 Ddk) 과 상기 제 1 및 제 2 주사 전극 ($Sc1$ 내지 $Scj/2$ / $Scj/2+1$ 내지 Scj) 사이에서, 제 1 방향 (AR36 ; AR38) 의 상기 제 1 픽셀 블록 (31a) 에서 그리고 상기 경계 (31c) 에 대하여 상기 제 1 방향에 대향하는 제 2 방향 (AR37 ; AR39) 의 상기 제 2 픽셀 블록 (31b) 에서 실질적으로 발생하는 방식으로 기입 방전을 발생시키는 단계, 및

b) 상기 단계 a) 에서 기입 상대로 들어간 픽셀에서 유지 방전을 발생시키는 단계를 구비하는 하는 것을 특징으로 하는 플라즈마 표시 패널 제어 방법.

청구항 12. 제 11 항에 있어서,

c) 상기 단계 a) 이전에 상기 제 1 픽셀 블록 (31a) 및 상기 제 2 픽셀 블록 (31b) 에서 예비 방전을 발생시키는 단계를 더 구비하는 것을 특징으로 하는 플라즈마 표시 패널 제어 방법.

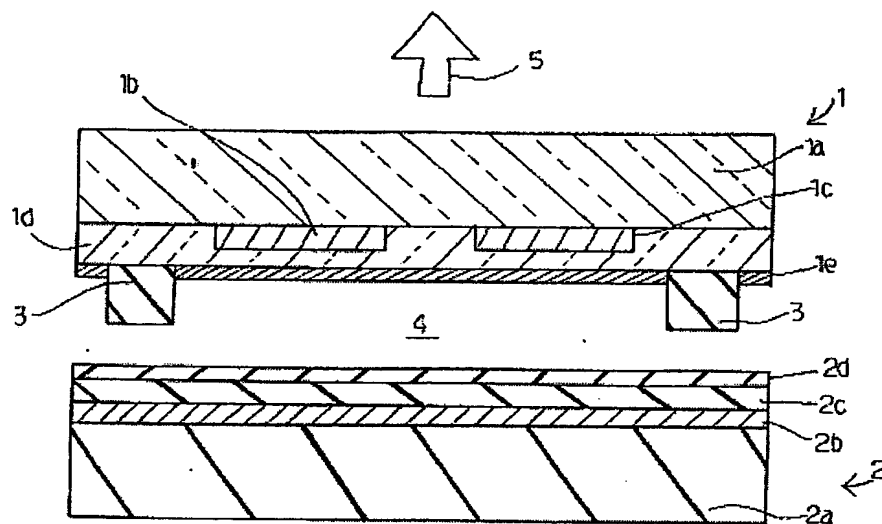
청구항 13. 제 12 항에 있어서,

상기 단계 c) 와 상기 단계 a) 사이에서 상기 제 1 픽셀 블록 (31a) 과 상기 제 2 픽셀 블록 (31b) 에서 소거 방전을 발생시키는 단계를 더 구비하는 것을 특징으로 하는 플라즈마 표시 패널 제어 방법.

도면

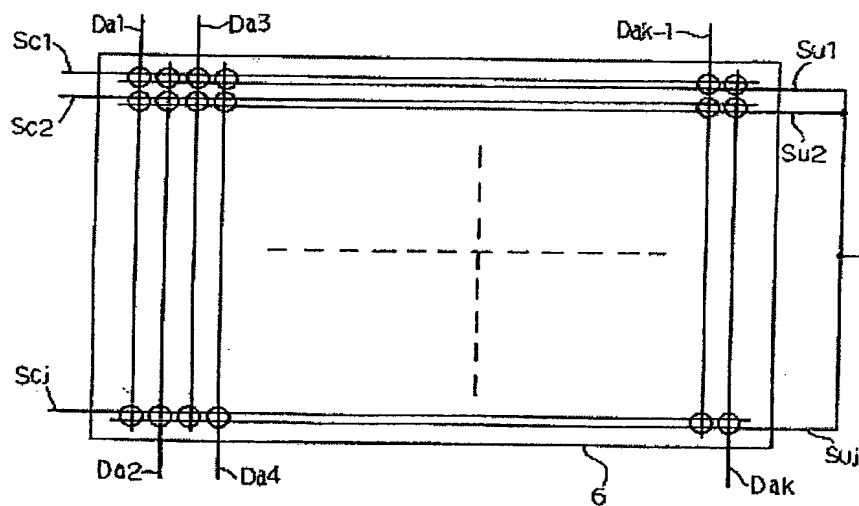
도면1

종래 기술



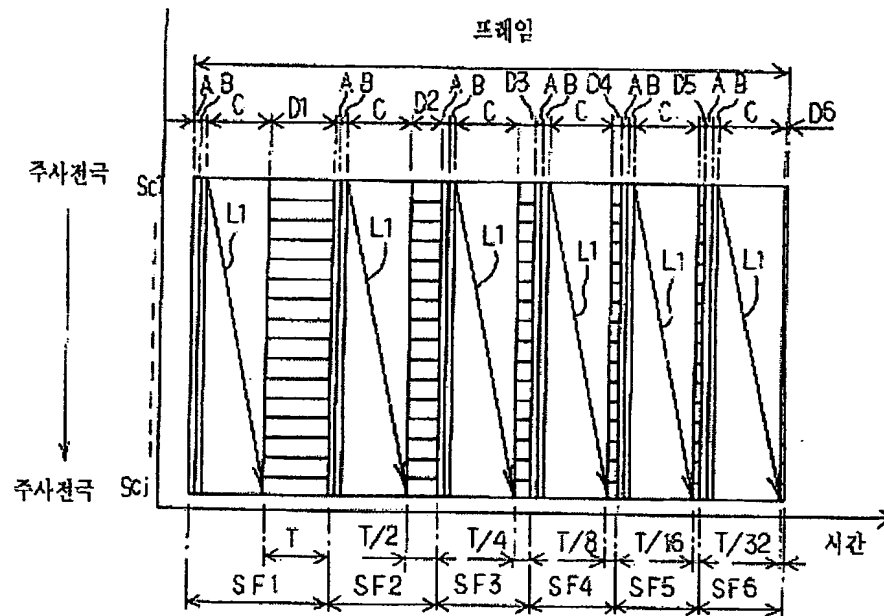
도면2

종래 기술



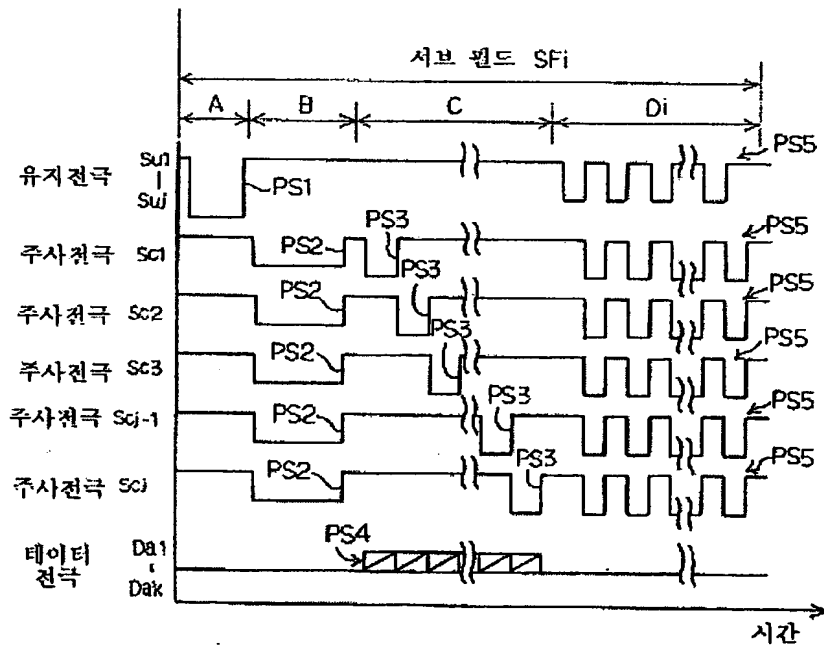
도 B3

종래 기술



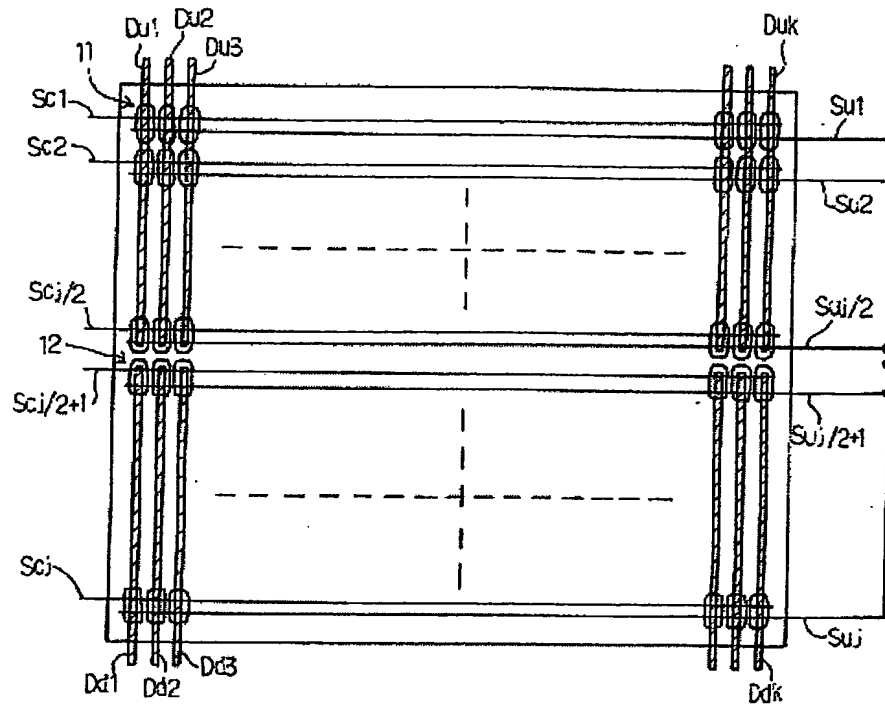
도 B4

종래 기술



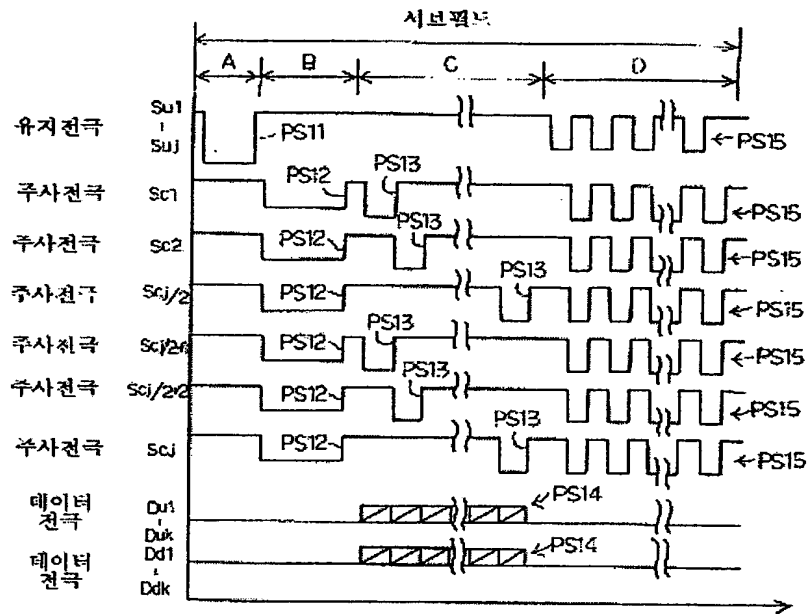
도 25

종래 기술



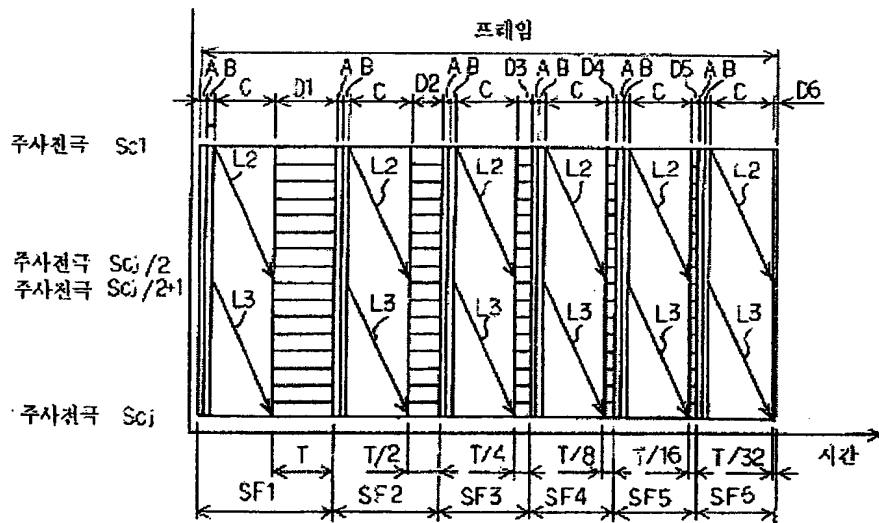
도 20

종래 기술



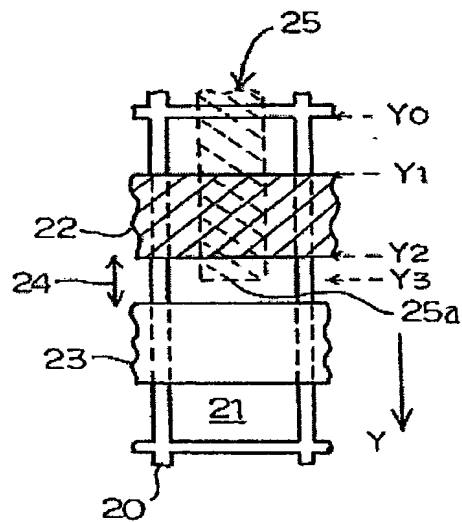
도 21

종래 기술



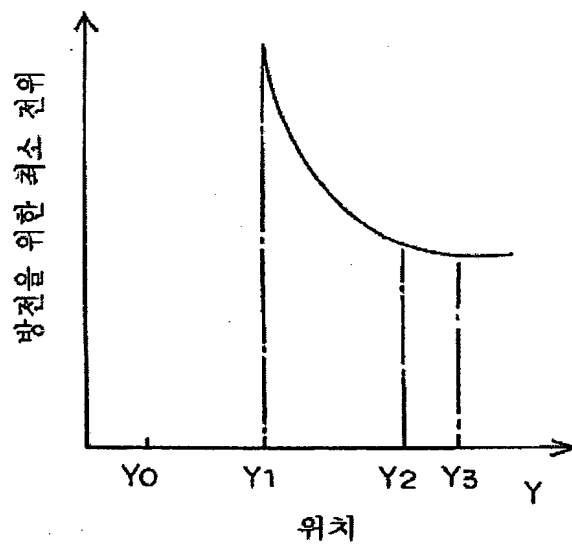
도 20

종래 기술



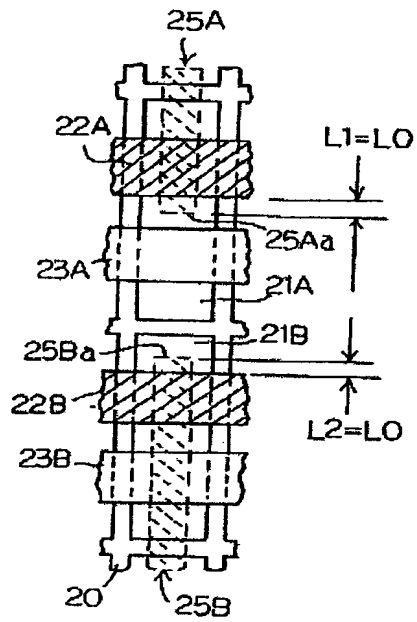
도 21

종래 기술



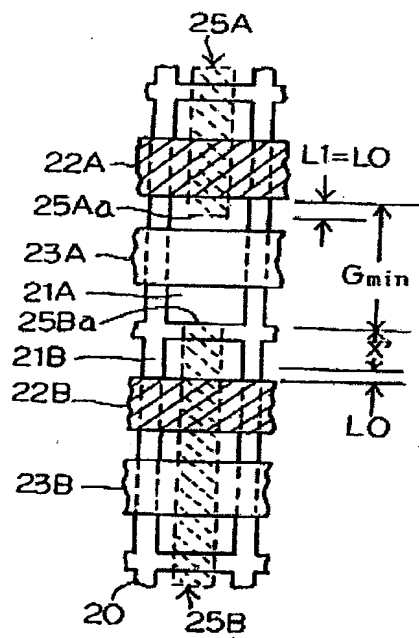
도면 10a

종 래 기 술



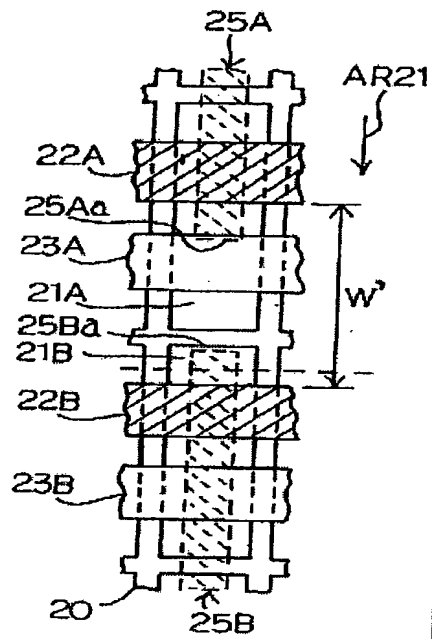
도면 10b

종 래 기 술



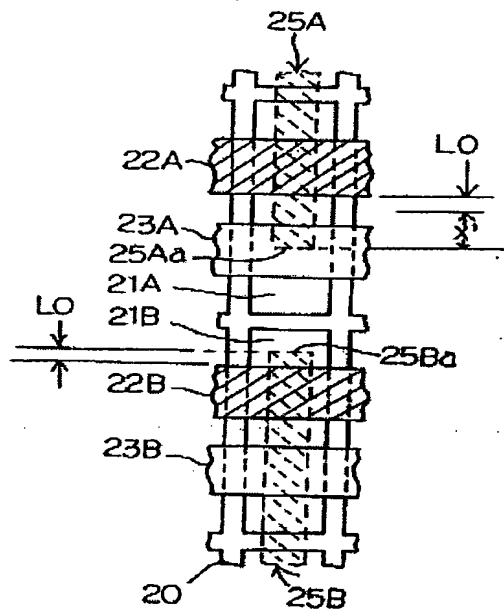
도면 10b

종래 기술

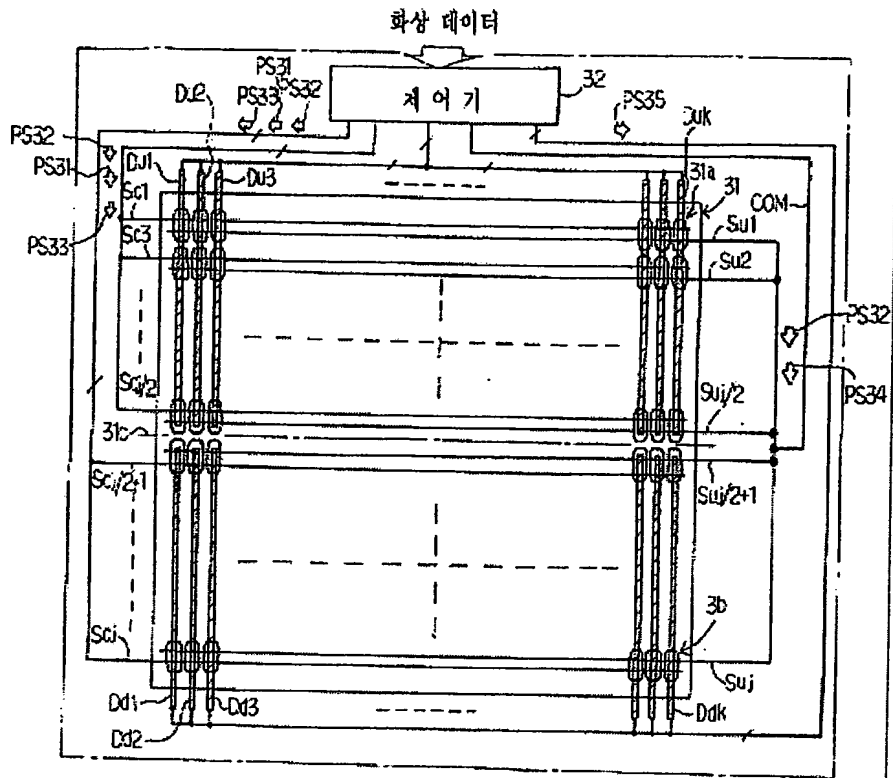


도면 10d

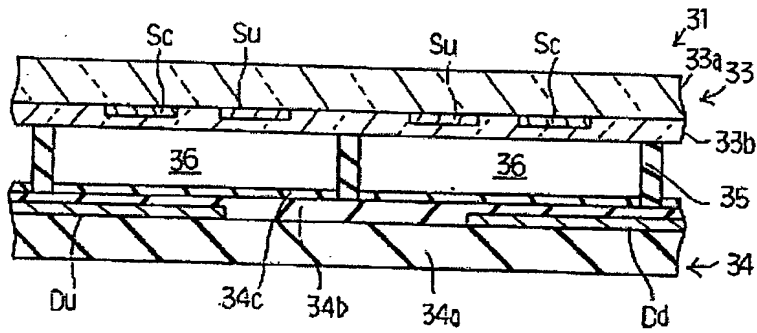
종래 기술



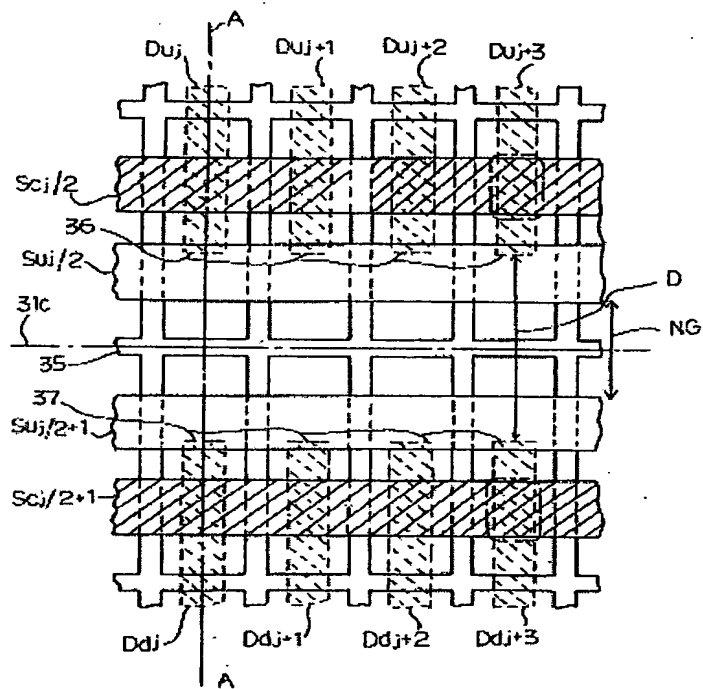
도면 11



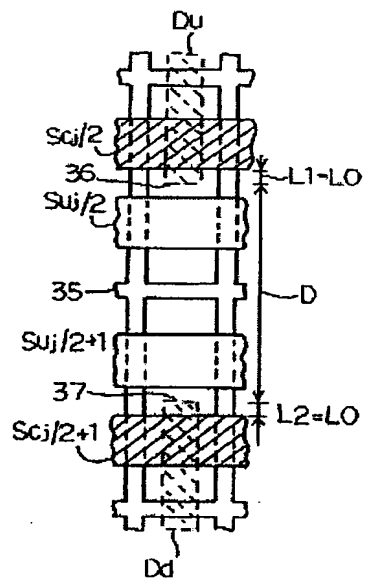
도면 12



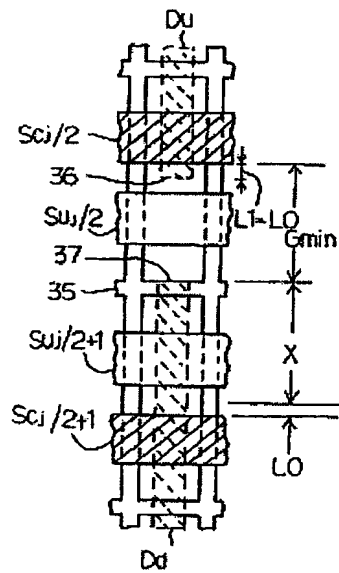
도면 19



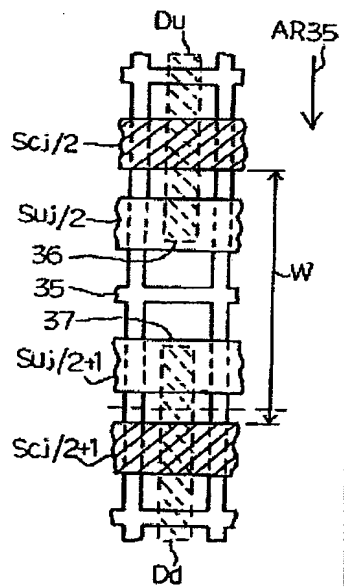
도면 19a



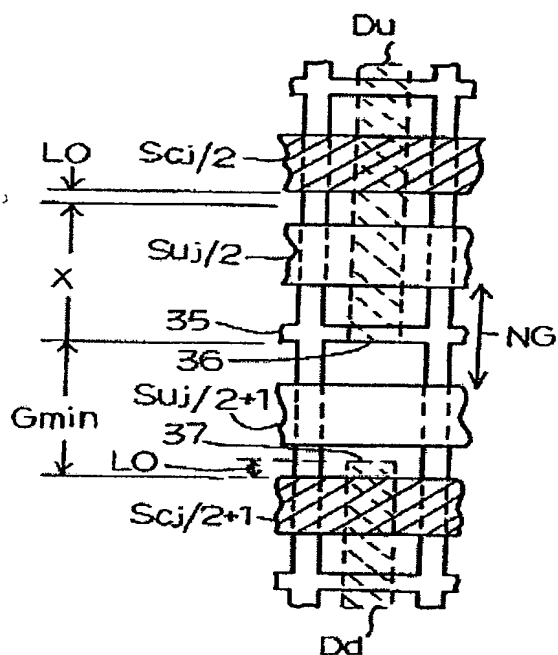
도면 14b



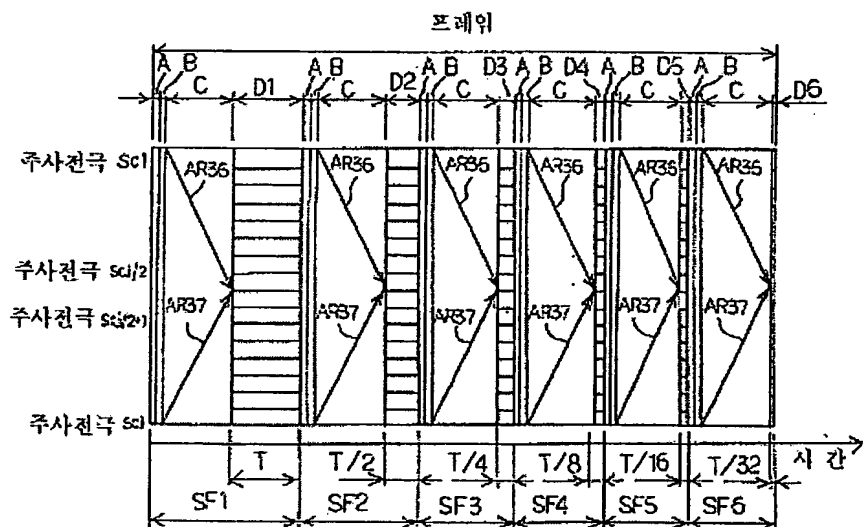
도면 14a



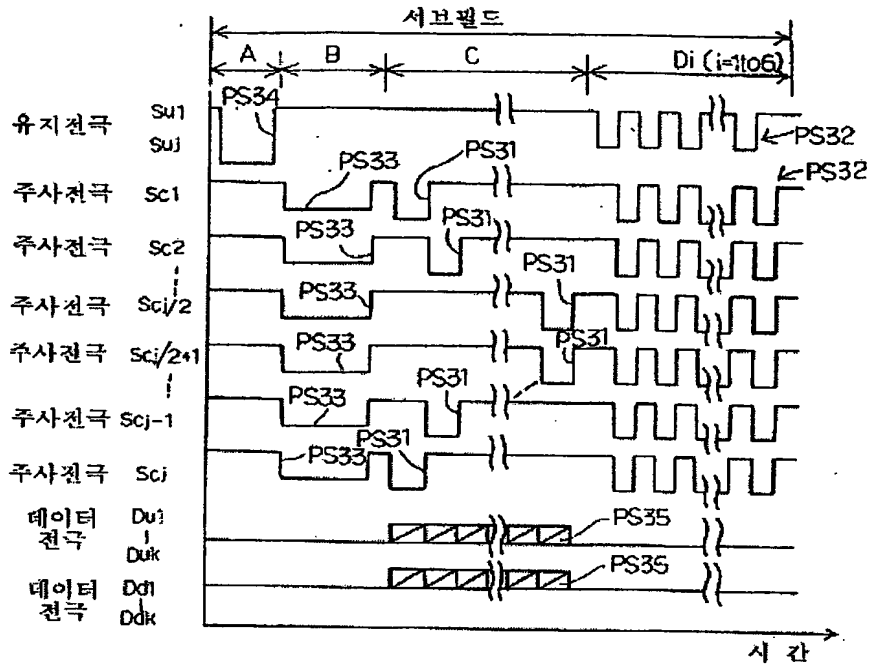
도면 14d



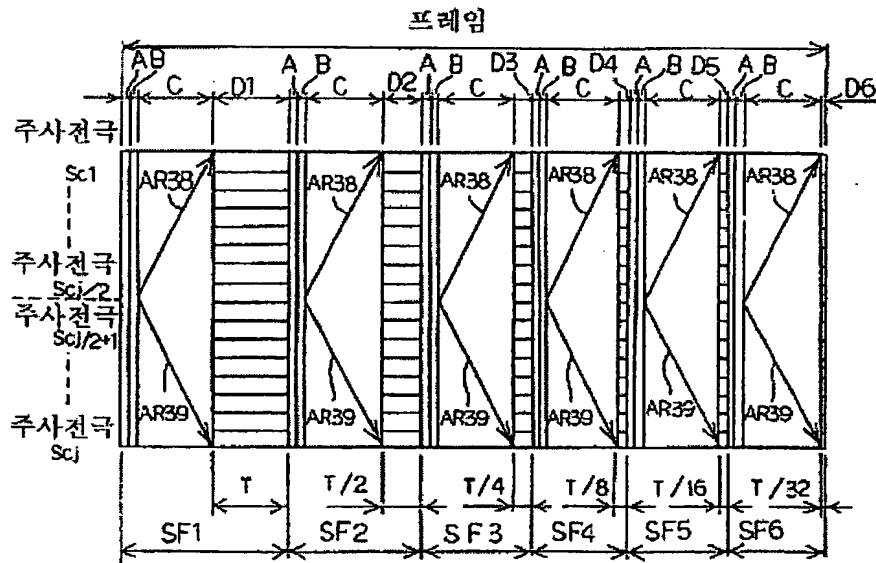
도면 15



도면 10



도면 11



도 22

